

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-345428

(43)Date of publication of application : 14.12.2001

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
C30B 29/06  
H01L 21/8222  
H01L 27/06  
H01L 21/8238  
H01L 27/092  
H01L 27/08

(21)Application number : 2001-074789

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.03.2001

(72)Inventor : OGURO TATSUYA  
TOYOSHIMA YOSHIAKI

(30)Priority

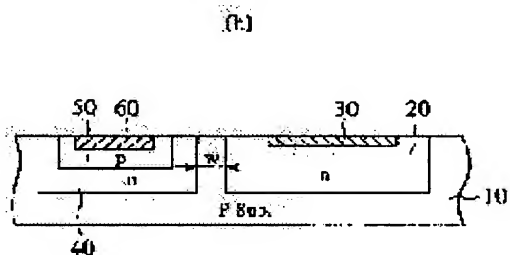
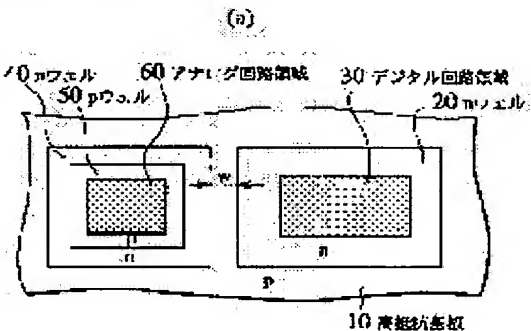
Priority number : 2000087687 Priority date : 27.03.2000 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the structure of a semiconductor device mixedly mounted with digital and analog circuits which can suppress the intrusion of noise from the digital circuit into the analog circuit in the device.

**SOLUTION:** A semiconductor device has a constitution that a first well 20 and a second well 40, which are respectively formed independently, are provided in the surface layer in a semiconductor substrate 10; a digital circuit 30 is formed in the surface layer within the well 20; and an analog circuit 60 is formed in the surface layer within the well 40. The device uses the high-resistance substrate 10 having a resistivity higher than 1000 times than that of the well 20 as at least a semiconductor substrate.



## LEGAL STATUS

[Date of request for examination]

10.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-345428  
(P2001-345428A)

(49)公開日 平成13年12月14日(2001.12.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> (参考)
H 0 1 L 27/04		C 3 0 B 29/06	A
21/822		H 0 1 L 27/08	3 3 1 C
C 3 0 B 29/06			3 3 1 B
H 0 1 L 21/8222		27/04	H
27/06			L

審査請求 未請求 請求項の数15 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願2001-74789(P2001-74789)  
(22)出願日 平成13年3月15日(2001.3.15)  
(31)優先権主張番号 特願2000-87687(P2000-87687)  
(32)優先日 平成12年3月27日(2000.3.27)  
(33)優先権主張国 日本 (J P)

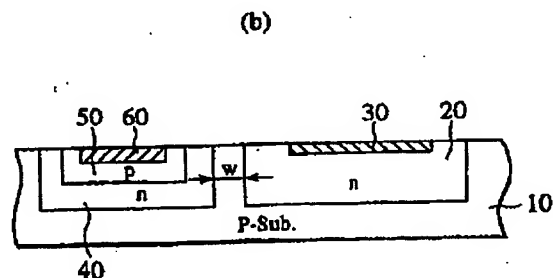
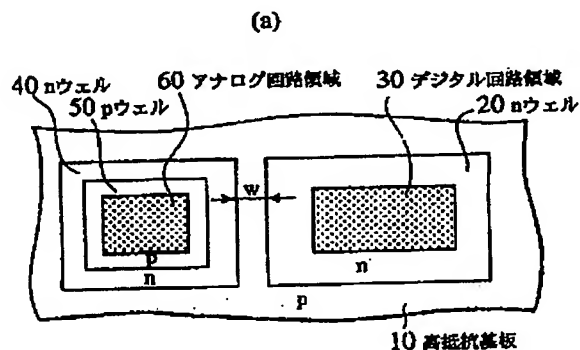
(71)出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(72)発明者 大黒 達也  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内  
(72)発明者 豊島 義明  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内  
(74)代理人 100083806  
弁理士 三好 秀和 (外7名)

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】 デジタル回路、アナログ回路混載半導体装置において、デジタル回路からアナログ回路へのノイズの進入を抑制できる半導体装置構造を提供する。

【解決手段】 半導体基板10の表面層にそれぞれ独立に形成された第1ウェル20と第2ウェル40を備え、第1ウェル内の表面層にデジタル回路30を形成し、第2ウェル内の表面層にアナログ回路60を形成した構成を有し、少なくとも半導体基板として第1ウェルの1000倍以上の抵抗率を有する高抵抗な基板を用いる。



【特許請求の範囲】

【請求項1】 デジタル回路とアナログ回路を混載する半導体装置において、

第1導電型の半導体基板と、

前記半導体基板の表面層にそれぞれ独立に形成された、第2導電型の第1ウェル及び第2導電型の第2ウェルと、

前記第1ウェル内の表面層に形成されたデジタル回路と、

前記第2ウェル内の表面層に形成されたアナログ回路とを有し、

前記半導体基板が、少なくとも前記第1ウェルの1000倍以上の比抵抗を有することを特徴とする半導体装置。

【請求項2】 前記半導体基板は、MCZ法、CZ法、FZ法のいずれかを用いて作製されたものである請求項1に記載の半導体装置。

【請求項3】 前記半導体基板は、固溶酸素量が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下である請求項1または2に記載の半導体装置。

【請求項4】 前記第1ウェルと前記第2ウェルとの間隔(w)が、少なくとも0.5  $\mu\text{m}$ 以上離れている請求項1から3のいずれか1項に記載の半導体装置。

【請求項5】 さらに、前記第2ウェル内の表面層に第1導電型の第3ウェルを有し、前記アナログ回路が、前記第3ウェル内に形成されている請求項1から4のいずれか1項に記載の半導体装置。

【請求項6】 さらに、前記デジタル回路と前記第2ウェルとの間であって、前記第1ウェル内もしくは前記第1ウェルと前記第2ウェルとの間の表面層に形成された導電性のガードリングを有することを特徴とする請求項1から5のいずれか1項に記載の半導体装置。

【請求項7】 前記ガードリングの底部と前記第1ウェルの底部との基板面に対し直交する方向の距離(t)が少なくとも0.8  $\mu\text{m}$ 以下であることを特徴とする請求項6に記載の半導体装置。

【請求項8】 デジタル回路とアナログ回路を混載する半導体装置において、絶縁層を挟んで上層半導体層と下層半導体層とを有する基板と、

前記上層半導体層内に、第1導電型の半導体領域を挟んでそれぞれ独立に形成された、第2導電型の第1ウェル及び第2導電型の第2ウェルと、

前記第1ウェル内の表面層に形成されたデジタル回路と、

前記第2ウェル内の表面層に形成されたアナログ回路と、

前記デジタル回路と前記第2ウェルとの間の、前記第1ウェル内、もしくは前記第1ウェルと前記第2ウェルとの間の表面層に形成された導電性のガードリングとを有

し、

前記ガードリングの底部と前記第1ウェルの底部との基板面に対し直交する方向の距離(t)が少なくとも0.8  $\mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項9】 前記ガードリングが、溝の内壁に形成された酸化層と、前記酸化層の内側を埋める金属層とを有することを特徴とする請求項6から8のいずれか1項に記載の半導体装置。

【請求項10】 前記ガードリングが、溝の底部の下層に形成された不純物イオンがドーピングされた領域を有することを特徴とする請求項6から請求項8のいずれか1項に記載の半導体装置。

【請求項11】 前記ガードリングが、さらに、前記溝の内壁に形成された金属もしくは金属シリサイド層を有することを特徴とする請求項10に記載の半導体装置。

【請求項12】 請求項6から8のいずれか1項に記載された半導体装置の製造方法であって、前記ガードリングの形成のため、基板の表面層に溝を形成する工程と、前記溝の内表面を酸化し、酸化層を形成する工程と、前記酸化層の内側を金属で埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項13】 請求項6から8のいずれか1項に記載された半導体装置の製造方法であって、前記ガードリングの形成のため、基板の表面層に溝を形成する工程と、前記溝の底部に対し、不純物イオンを注入し、不純物イオンドーピング領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】 さらに、前記溝の内表面に、金属膜を形成し、熱処理を行うことで金属シリサイドを形成する工程を有することを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】 前記溝が、素子分離用埋め込み絶縁膜のための溝と、同時に形成されることを特徴とする請求項12から14のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログ回路とデジタル回路を混載した半導体装置の構造とその製造方法に関する。

【0002】

【従来の技術】近年、携帯端末等の普及に伴い、軽小型や低コスト化の要求から、従来は別々のチップで構成されていたアナログ回路とデジタル回路を同一チップ上に搭載した部品の開発が進められている。

【0003】しかし、デジタル回路とアナログ回路を同

一チップ上に形成すると、デジタル回路から発生するノイズが基板やウェルを介してアナログ回路に進入し、良好なアナログ動作を阻害する場合がある。

【0004】図10A～図10(c)は、従来のデジタル回路とアナログ回路を混載した半導体装置の構造例を概略的に示す装置断面図である。また、図11(a)～図11(c)は、各構造におけるデジタル回路からアナログ回路への進入ノイズの大きさをシミュレーションより求めたグラフである。横軸はデジタル回路で発生するノイズ周波数、縦軸は進入ノイズの大きさを示す。

【0005】図10(a)は、p型の基板510中に形成された同一のnウェル520中にデジタル回路530とアナログ回路540をとともに形成する従来の構造を示す(以下、この構造を同一ウェル構造と呼ぶ)。また、同図にはデジタル回路530とアナログ回路540の間にガードリング550も付加した構造を示している。

【0006】ここでいうガードリングとは、デジタル回路から漏れるノイズを吸収するように、デジタル回路530とアナログ回路540との間に設けられた高濃度不純物拡散領域である。壁状あるいはデジタル回路を囲むようリング状に形成される。

【0007】図11(a)に示すように、同一ウェル構造のみの場合では、ノイズ周波数にかかわらず、デジタル回路530からアナログ回路540へのノイズの進入は極めて大きい。ガードリング550を備えた場合は、多少改善されるものの依然としてアナログ回路への進入ノイズは大きい。

【0008】図10(b)は、p型の半導体基板512中にnウェル522およびnウェル562をそれぞれ独立に形成し、デジタル回路532をnウェル522内に、アナログ回路542をnウェル562内にそれぞれ形成したものである。特にアナログ回路形成領域では、nウェル562内にさらにpウェル572を形成し、ここにアナログ回路542を形成している。このように、アナログ回路形成領域に、p型基板512/nウェル562/pウェル572からなる三重構造を備えたものをここではトリプルウェル構造と呼ぶ。なお、この構造でガードリング552を形成する場合は、同図に示すように、デジタル回路532とアナログ回路542の間のnウェル522内に形成される。

【0009】なお、従来の半導体基板512は、プロセス上の取り扱いが容易等の理由により専ら比抵抗約 $1\Omega\cdot\text{cm}$ 程度の比較的低抵抗な基板が用いられている。

【0010】図11(b)に示すように、トリプルウェル構造では、ノイズ周波数が $100\text{M}(10^8)\text{Hz}$ 以下に対しては、ガードリングなしでも進入ノイズレベルを $-60(\text{dB})$ 以下に抑制することができる。ガードリング552を備えれば、全体的な進入ノイズレベルをさらに下げることができる。しかし、ノイズ周波数が $1\text{G}(10^9)\text{Hz}$ を超えると、ガードリング552を備

えても進入ノイズは無視できなくなる。

【0011】図10(c)は、SOI基板を用いた構造を示す。SOI基板とは、酸化層516を挟んで上層、下層(514)に半導体層を備えた基板である。SOI基板を用いる場合は、例えば、上層の半導体層中にp型半導体領域574を挟んでnウェル層524、564を形成し、それぞれのウェル内にデジタル回路534とアナログ回路544を形成している。

【0012】図11(c)に示すように、SOI基板を用いた場合は、ガードリングを用いた構造において、ノイズを吸い上げる効果が顕著になり、アナログ回路544へのノイズの進入を防ぐ効果が大きくなる。

【0013】図10(b)に示すトリプルウェル構造におけるアナログ回路542へのノイズ進入経路を考える場合、デジタル回路532の横からnウェル522の表面層を通して進入するものと、デジタル回路532の下層の半導体基板512を通してアナログ回路に達するものがあるが、ガードリング552は、横から漏れるノイズに対しては高い吸い上げ効果を示すものの、下層の半導体基板512を通して漏れるノイズに対しては吸い上げ効果は殆ど期待できない。これに対し、図10(c)に示すSOI基板構造では、nウェル524の下層がSiO<sub>2</sub>層516であるため、下層に抜けるノイズはここで阻止される。よって、アナログ回路544への主なノイズの進入経路は、ウェル中の表面層を横方向に抜けるものであるため、ガードリング554による吸い上げ効果が顕著となるものと考えられる。

【0014】

【発明が解決しようとする課題】上述するように、従来の半導体装置構造では、SOI基板とガードリングとの組み合わせが、デジタル回路で発生したノイズのアナログ回路への進入を最も効果的に阻止するものと考えられている。しかし、SOI基板を用いる場合でも、より高周波数のノイズに対して効果的にアナログ回路へのノイズの進入を阻止しうる構造が求められている。

【0015】その一方で、SOI基板については、一般に通常の半導体基板より基板コストが高いことや、基板の中間層である酸化層516の熱伝導率が悪いため、動作中の素子に発生する熱を効率良く逃がすことができないこと、あるいは、ホットキャリアが発生した場合に、これを構造上逃がすことができないためトランジスタ特性が不安定になること等の使用上の問題も指摘されている。

【0016】

【課題を解決するための手段】本発明は、上記問題を解決するために、デジタル回路とアナログ回路を混載した半導体装置に関し、デジタル回路からアナログ回路へのノイズの進入をより効果的に阻止しうる新たなSOI基板を用いた構造、及びSOI基板に代替しうる構造、さらにそれらの製造方法を提供することを目的とする。

【0017】本発明の半導体装置の第1の特徴は、デジタル回路とアナログ回路を混載する半導体装置において、第1導電型の半導体基板と、半導体基板の表面層にそれぞれ独立に形成された、第2導電型の第1ウェル及び第2導電型の第2ウェルと、第1ウェル内の表面層に形成されたデジタル回路と、第2ウェル内の表面層に形成されたアナログ回路とを有し、半導体基板が、少なくとも第1ウェルの1000倍以上の比抵抗を有することである。

【0018】上記半導体装置の第1の特徴によれば、半導体基板抵抗が十分に高いため、第1ウェル内に形成されるデジタル回路で発生するノイズは、第1ウェル周囲の高抵抗半導体基板によりアナログ回路への進入を阻止できる。

【0019】本発明の半導体装置の第2の特徴は、デジタル回路とアナログ回路を混載する半導体装置において、絶縁層を挟んで上層半導体層と下層半導体層とを有する基板と、上層半導体層に第1導電型半導体領域を挟みそれぞれ独立に形成された、第2導電型の第1ウェル及び第2導電型の第2ウェルと、第1ウェル内の表面層に形成されたデジタル回路と、第2ウェル内の表面層に形成されたアナログ回路と、デジタル回路と第2ウェルとの間の、第1ウェルの内側領域、もしくは第1ウェルと第2ウェルとの間の表面層に形成された導電性のガードリングを有し、ガードリングの底部と第1ウェルの底部との距離を少なくとも0.8  $\mu\text{m}$ 以下とすることである。

【0020】上記半導体装置の第2の特徴によれば、SOI基板を用いた構造において、深いガードリングを設けることになるが、SOI基板を用いた場合は、第1ウェルと第2ウェルの下層が絶縁層になるので、デジタル回路で発生するノイズは、各ウェルの下層を通してアナログ回路に進入しにくい。よって、漏れノイズの進入経路は主に横方向に流れることとなるため、この進入経路の途中に設けられるガードリングにより、効果的にノイズの進入を阻止できる。また、従来のように、浅いガードリングではなく、十分に深いガードリングを形成することにより、漏れたノイズを広い範囲で吸い上げることができるため、アナログ回路へのノイズの進入をさらに効果的に阻止することができる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0022】（第1の実施の形態）第1の実施の形態にかかる半導体装置の基本的な構成は、従来のトリプルウェル構造と共通するが、従来の構成と異なるのは、半導体基板として高抵抗基板を用いている点である。

【0023】この特徴によれば、半導体基板抵抗が十分に高いため、第1ウェル内に形成されたデジタル回路で発生するノイズは、第1ウェル周囲の高抵抗半導体基板

により第2ウェル内に形成されたアナログ回路への進入を阻止できる。

【0024】半導体基板は、MCZ法、CZ法、FZ法のいずれかを用いて作製されたものでよい。また、固溶酸素量が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下であってよい。

【0025】第1ウェルと第2ウェルとの間隔(w)が、少なくとも0.5  $\mu\text{m}$ 以上離れていてもよい。第1ウェルと第2ウェル間の間隔の距離に応じて両ウェル間の抵抗が増大し、アナログ回路へのノイズの進入をより効果的に阻止できるが、特に両ウェル間距離が0.5  $\mu\text{m}$ 以上になれば、良好なノイズ進入阻止効果を得ることができる。

【0026】また、上記特徴を有する半導体装置において、第2ウェル内の表面層に第1導電型の第3ウェルを有し、アナログ回路を第3ウェル内に形成してもよい。

【0027】この場合は、高抵抗半導体基板によるノイズ進入阻止効果に加えて、第2ウェルと第3ウェル間のPN接合抵抗によるノイズ進入阻止効果を得ることができる。

【0028】以下、第1の実施の形態にかかる半導体装置についてより詳細に説明する。

【0029】図1(a)、図1(b)は、第1の実施の形態にかかるデジタル回路とアナログ回路混載半導体装置の構造を示す装置平面図と装置断面図である。同図に示すように、p型の高抵抗基板10中のデジタル回路形成領域にnウェル20、アナログ回路形成領域にnウェル40をそれぞれ独立に形成している。アナログ回路形成領域では、nウェル40内にさらにpウェル50を形成し、このpウェル内にアナログ回路60を形成している。一方デジタル回路形成領域では、nウェル20内にデジタル回路30を形成している。各回路は、MOSトランジスタやバイポーラトランジスタ等に代表される能動素子を含む回路である。

【0030】なお、各ウェルのサイズは、例えばnウェル20およびnウェル40の深さが約1.5  $\mu\text{m}$ である。またnウェル20とnウェル40間の距離wが例えば約0.5  $\mu\text{m}$ である。

【0031】高抵抗基板10は、例えばpウェル50が $0.25 \Omega \cdot \text{cm}$ 、nウェル20とnウェル40が $0.065 \Omega \cdot \text{cm}$ である場合、これらのウェルの1000倍以上の比抵抗、好ましくはpウェルの1000倍以上の比抵抗を持つ高抵抗基板であることが好ましい。例えば比抵抗 $250 \Omega \cdot \text{cm}$ 以上の高抵抗基板を用いることが好ましい。なお、この比抵抗値は、固溶酸素量の値としては約 $8.1 \times 10^{17} \text{ atoms/cm}^3$ 以下に相当する。

【0032】不純物として基板中に含有される酸素は、ドーパントとして寄与するため、基板を高抵抗にするためには、基板中固溶酸素量を少なくする必要がある。し

かし、基板中に含有される酸素に起因する格子欠陥は、プロセス中に基板にかかる種々のストレスをうまく吸収し、基板の機械的強度を上げるものでもある。よって、固溶酸素量は、機械的強度が脆弱になりすぎない程度に存在していることが好ましい。

【0033】上述するような、固溶酸素量が低濃度の基板は、CZ法 (Czochralski法)、FZ法 (Floating zone法) および融液に磁場を印加して融液の対流を抑制することで結晶中の酸素濃度を抑制するMCZ法 (Magnetic field applied CZ法) を用いて作製することができる。

【0034】従来のトリプルウェル構造が、主にPN接合抵抗のみでデジタル回路で発生したノイズのアナログ回路への進入を抑制していたのに対し、このように高抵抗基板10を使用すると、nウェル20とnウェル40の間に入る半導体基板10そのものの抵抗によってもアナログ回路へのノイズの進入を阻止できる。

【0035】図2(a)は、第1の実施の形態にかかる高抵抗基板を用いたトリプルウェル構造の、進入ノイズレベルをシミュレーションにより求め、従来の構造のものと比較したグラフである。

【0036】同図に示すように、ノイズ周波数1GHzに対しては、進入ノイズの低減効果はみられないものの、ノイズ周波数100MHzに対しては、従来の同一ウェル構造やトリプルウェル構造と比較し、大幅に進入ノイズのレベルが下がり、SOI基板を用いた場合とほぼ同じレベルの性能を得ることができる。

【0037】図2(b)は、デジタル回路形成領域のnウェル20とアナログ回路形成領域のnウェル40との距離wとデジタル回路からアナログ回路への進入ノイズのレベルの関係をシミュレーションにより求めたグラフである。両ウェル間の距離wが広がる程、高抵抗となりノイズの進入阻止効果が高まるが、ノイズ周波数100MHzに対しては、両ウェル間の距離wを0.5μm以上離すと進入ノイズレベルを-100dB以下の良好な値とすることができる。

【0038】ところで、一般的な高周波アナログ回路には、薄膜インダクタ素子が形成されている。この薄膜インダクタ素子は、導体の周回パターンを有するものであるが、この周回パターンによりうず電流が生じるため、これに起因する誘導電流が半導体基板中に発生する。従来の半導体基板を使用する場合は、基板中に生じるこの誘導電流によって、薄膜インダクタ素子のQ値が劣化するという問題があった。

【0039】しかし、第1の実施の形態に係る高抵抗基板を使用する場合は、半導体基板の抵抗が高いため、誘導電流の値を低減できる。従って、インダクタ素子のQ値の劣化を抑制することが可能になる。

【0040】図3は、1μm幅のA1線周回パターンを持つインダクタ素子の周波数とQ値との関係を示すグラ

フである。同グラフに示すように、従来の比抵抗値1Ωcmの半導体基板を使用したものに比較し、第1の実施の形態に係る比抵抗値1000Ωcmの半導体基板を使用した場合は、特に高周波数領域において、高いQ値を得ることができる。

【0041】このように、第1の実施の形態に係る高抵抗基板の使用は、デジタル回路からアナログ回路へのノイズの進入を抑制するだけでなく、アナログ回路中のインダクタ素子の性能を向上させる効果ももたらす。

【0042】ところで、既に説明したように、このような高抵抗半導体基板では、基板中の酸素濃度が低く、従来の基板に比べ機械的強度は弱い。例えば、半導体装置の製造工程、特に高抵抗半導体基板の熱処理時等において、半導体基板はウェハの周縁部の三点で支持ピンにより保持されることになるが、この支持ピンの接触点には局所的な熱的ストレスもしくは機械的ストレスが加わるため、図4(a)に示すように、ウェハ13の支持ピンの接触点A1~A3近傍に、スリップが生じることがある。

【0043】そこで、図4(b)に示すように、好ましくは、支持ピンの接触位置となる外縁部のみを低抵抗領域14Bとし、その内側に高抵抗領域14Aを有する半導体ウェハ14を使用する。即ち、支持ピン等により局所的なストレスがかかる領域のみの酸素濃度を上げてウェハ14の機械的強度を上げる。こうすることにより、上述する高抵抗基板の長所を維持したまま、スリップ等の結晶欠陥の発生を抑制できる。例えば低抵抗領域14Bは、基板外周端から1mm幅以上程度の領域とすればよい。また、低抵抗領域14Bの酸素濃度は、少なくとも $1 \times 10^{18} \text{ atoms/cm}^3$ 以上とすることが望ましい。このような酸素濃度の調整は、例えば酸素イオンを基板外縁部のみに選択的にイオン注入することによって容易に得ることができる。

【0044】(第2の実施の形態) 第2の実施の形態に係る半導体装置は、第1の実施の形態に係る構造もしくはSOI構造において、深いガードリングを備えたことを特徴にする。

【0045】ガードリングは、第1の実施の形態に係る構造を有する半導体装置において、デジタル回路と第2ウェルの間であって、第1ウェルの内側領域もしくは第1ウェルと第2ウェルの間に形成される。

【0046】この構造では、第1ウェルから高抵抗な下層の基板を介して第2ウェル内のアナログ回路に進入するノイズより第1ウェルから第2ウェルへ横方向に漏れるノイズの方が主な進入ノイズになるため、この進入経路の途中に設けたガードリングにより、ノイズは効果的に吸い上げられ、アナログ回路への進入ノイズを阻止できる。

【0047】なお、ガードリング底部と第1ウェルの底部との距離(t)を少なくとも0.8μm以下としても



よい。第1ウェルの底部とガードリング底部との距離を短くするような深いガードリングを形成することにより、第1ウェルの横方向から漏れるノイズを広い範囲で捉え、効果的にアナログ回路へのノイズの進入を抑制できる。

【0048】また、SOI基板構造において、深いガードリングは効果的である。第1ウェルと第2ウェルの下層が絶縁層になるので、デジタル回路で発生するノイズは、各ウェルの下層を通してアナログ回路に進入しにくい。よって、漏れノイズの進入経路は主に横方向に流れることとなるため、この進入経路の途中に設けられるガードリングにより、効果的にノイズの進入を阻止できる。また、浅いガードリングではなく、十分に深いガードリングを形成することにより、漏れたノイズを広い範囲で吸い上げることができるため、アナログ回路へのノイズの進入をさらに効果的に阻止することができる。

【0049】以下、図面を参照しながら、具体的に第2の実施の形態について説明する。

【0050】図5(a)～図5(c)は、第2の実施の形態にかかる半導体装置構造を示す装置平面図と装置断面図である。

【0051】第2の実施の形態にかかる半導体装置は、第1の実施の形態にかかる構造にガードリングを付加した構造である。即ち、第1の実施の形態にかかる構造において、nウェル20中のデジタル回路30の横にアナログ回路60へのノイズの進入経路を塞ぐように、導電性のガードリング70の壁を設けている。

【0052】従来のガードリングと異なる点は、ガードリングの深さである。従来のガードリングが、主にソース/ドレイン領域の形成工程と同時に形成されるものであったため、ソース/ドレインと同程度の0.2 $\mu$ m程度の深さに止まっていたのに対し、第2の実施の形態では、従来より深いガードリングを形成している点である。

【0053】なお、このガードリング70は、デジタル回路で発生するノイズを吸収し、アナログ回路への進入を抑えるものである。回路の周囲をリング状に囲む構造は必ずしも必要なく、少なくともデジタル回路とアナログ回路間に壁状に形成されていればよい。

【0054】図6は、ガードリング70の底部からnウェル20の底部までの距離をtとし、この距離tに対するアナログ回路への進入ノイズレベルをシミュレーションより求めたものである。第1の実施の形態にかかるガードリングを有さない構造と比較し、高いノイズ周波数である1GHzに対して、同図に示すように、距離tを1.2 $\mu$ m未満とすることで進入ノイズの低減効果が確認できる。特に距離tを0.8 $\mu$ m以下とする場合は、進入ノイズを-100dBより小さくできることがわかる。

【0055】図5(d)は、SOI基板構造に同様なガ

ードリングを設けた構造を示すものである。

【0056】図6には、合わせて、SOI基板構造に同様なガードリングを設けた場合の進入ノイズのレベルも示している。図5(d)において、ガードリング70の距離tは、Nウェル層20の底部となる絶縁層10A表面とガードリング70底部の距離に相当する。シミュレーション上の進入ノイズレベルは、上述する高抵抗基板を用いたトリプルウェル構造のものと同一の値を示す。

【0057】半導体基板が高抵抗な場合は、SOI基板を用いた場合と同様に、デジタル回路で発生するノイズが、抵抗の高い下層の基板に流れるより抵抗の低いウェル層を流れやすい。基板表面層を流れるノイズは、ガードリングで捉えられる確率が増す結果、ガードリングによるノイズの吸い上げがより効果的に機能することとなる。

【0058】このように、高抵抗基板を用いた場合もSOI基板を用いた場合も、ガードリングの深さを深くすることでアナログ領域へのノイズの進入を大幅に低減できることが分かる。ガードリングが十分深ければ、従来ガードリングの下を潜ってアナログ領域に抜けていたノイズも含めて広い範囲でデジタル回路から発生するノイズを捉えることができるからである。従来のガードリングの深さが0.2 $\mu$ m程度であるのに対し、例えば、第2の実施の形態にかかるガードリング70自身の深さは約0.7 $\mu$ mとなる。即ち、このときのnウェルの深さは1.5 $\mu$ mであるから、ガードリングの深さは、nウェルの深さの7/15以上の深さを有することが望ましいということもできる。

【0059】なお、ガードリング70の位置は、図5(b)に示すように、nウェル20の内側とは限らず、図5(c)に示すように、nウェル20の領域から一部はみ出しているにもかかわらず、少なくともアナログ回路形成領域のnウェル40に接しなければ、nウェル20とnウェル40の間にあってもかまわない。

【0060】図7は、第1、第2の実施の形態にかかる構造をCMOS回路に応用した例を示す装置断面図である。同図に示すように、アナログ回路形成領域およびデジタル回路形成領域それぞれに、CMOSトランジスタを形成している。このため、高抵抗基板11中に形成されるデジタル回路形成領域のnウェル21には、さらにその内側にpウェル31が形成され、pウェル31の表面層にn型のソース/ドレイン領域33とゲート酸化膜を介して形成されるゲート電極32からなるNMOSTランジスタを形成している。また、pウェル31の外側のnウェル21の表面層には、p型のソース/ドレイン領域35とゲート酸化膜を介して形成されるゲート電極34からなるPMOSTランジスタを形成している。

【0061】一方、アナログ回路形成領域では、高抵抗基板11中にnウェル41を形成し、さらにnウェル41中にpウェル51を形成し、nウェル41の表面層に



p型のソース/ドレイン領域63とゲート酸化膜を介して形成されるゲート電極61からなるPMOSトランジスタを形成している。また、pウェル51の表面層にはn型のソース/ドレイン領域64とゲート酸化膜を介して形成されるゲート電極62からなるNMOSトランジスタを形成している。

【0062】なお、各トランジスタ領域は、通常LOCOSやあるいは同図に示すような素子分離用の埋め込み酸化膜91~98により形成領域が画定されている。

【0063】この構造においては、nウェル21内のアナログ回路形成領域に近接する位置にガードリング71を備える他、pウェル31内のNMOSの横にガードリング81を備えている。このように、備えるガードリングの数は1つに限らず複数設けることができる。

【0064】なお、例えばnウェル21、nウェル41の深さは2.1 $\mu\text{m}$ 、pウェル31およびpウェル51の深さは1.5 $\mu\text{m}$ とする場合、各ウェルでの底部から各ガードリングの底部までの距離が0.8 $\mu\text{m}$ 以下となるように、ガードリング71の深さは約1.3 $\mu\text{m}$ 以上、ガードリング81の深さは0.7 $\mu\text{m}$ 以上とする。

【0065】(第3の実施の形態)第3の実施の形態は、ガードリングの構造およびその製造方法に関する。

【0066】ガードリングは、溝の内壁に形成された酸化層と、溝を埋めるように形成された金属層とを有するものである。この場合、溝内に埋め込まれた金属は、溝の内壁に形成された酸化層の存在により、周囲への熱拡散等を阻止できる。

【0067】第2の実施の形態において述べたように、デジタル回路で発生するノイズを効果的に阻止するためには、従来より深いガードリングを形成する必要がある。従来のように、トランジスタのソース/ドレイン領域を形成する際に同時にイオン注入法を用いて形成する製造方法では、ソース/ドレイン領域の深さに合わせるため深いガードリングを形成することはできない。

【0068】そこで、深いガードリングを形成するため、溝の底部下層に形成された不純物イオンドーピング領域を有するガードリングであってもよい。このガードリング構造は、深い注入層を作らなくても実質的に深いガードリングを比較的容易に得られるため、プロセス上のメリットが大きい。

【0069】さらに、溝の内壁に金属シリサイド層を形成すれば、ノイズの吸い上げ効果の高い低抵抗なガードリングを形成できる。

【0070】以下、具体的に第3の実施の形態について説明する。

【0071】図8(a)~図8(c)は、第3の実施の形態に係るガードリングの構造を示す半導体装置の部分断面図である。ここでは、便宜的に、デジタル回路形成領域の高抵抗基板12とこの中に形成されるnウェル22、そしてこのnウェル22中に形成されるガードリン

グのみを図示している。

【0072】まず、図8(a)に示すガードリング72は、イオン注入法を用いて高濃度のイオンドーピングを行って形成したものである。この場合は、ソース/ドレイン領域のイオン注入工程とは別個独立に高加速電圧条件でp型もしくはn型の不純物イオンを注入し、熱アニールにより活性化させる。例えば、nウェル22には、同じ導電型の不純物P(リン)イオンを、ソース/ドレイン領域の形成の際に通常用いる加速電圧の倍の加速電圧90keV程度で、ドーズ量 $4 \times 10^{15} / \text{cm}^2$ の条件でイオン注入を行う。

【0073】図8(b)に示すガードリング73は、金属の埋め込みで構成したものである。この場合は、まず、RIE(Reactive Ion Etching)法を用いて、基板に溝を形成し、溝の内表面を酸化し、酸化膜74を形成する。続いてこの溝にAl、Cu、W等の金属を埋め込み、その後CMP工程により基板表面の平坦化を行えばよい。Alのように周囲に拡散しやすいメタルを用いる場合は、溝の内壁の酸化膜74がメタルの拡散を抑制し、トランジスタ動作への悪影響を防止できる。なお、埋め込む金属が拡散しにくいものであれば、酸化膜74は必ずしも必要ない。

【0074】図8(c)に示すガードリングは、溝を形成し、溝の底部に対し、イオン注入を行い、イオン注入領域75を形成し、さらに溝の内周囲にシリサイド層76を形成したものである。

【0075】次に、図8(c)に示したガードリングの製造方法について説明する。この製造方法の特徴は、基板に溝を形成する工程と、溝の底部に対し、不純物イオンを注入し、イオン注入層を形成する工程とを有することである。

【0076】溝形状を利用することにより、溝の深さとイオン注入層の深さを合わせた深さを実質的なガードリングの深さにできる。よって、通常のイオン注入条件で深いガードリングの形成が可能になる。

【0077】さらに、溝の内表面に金属膜を形成し、熱処理を行うことで金属シリサイドを形成すれば、低抵抗なガードリングを形成することが可能になる。

【0078】なお、溝を形成する工程は、素子分離用埋め込み酸化膜のための溝を形成する工程において、同時に行ってもよい。ガードリング内の溝の形成をプロセス上の負担なく行うことができる。

【0079】以下、この製造方法について具体的に説明する。

【0080】図9(a)~図9(e)は、図8(c)に示すガードリングを、素子分離領域の形成工程を利用して作製する方法を示す工程図である。即ち、まず図9

(a)に示すように、RIE法等を用いてp型の高抵抗基板110に素子分離層用の溝120といっしょにガードリング用溝121を形成する。各溝の深さは、例えば

0.3~0.4  $\mu\text{m}$ である。

【0081】図9(b)に示すように、高抵抗基板110の表面層に形成した溝を埋めるように、基板表面に $\text{SiO}_2$ 膜130を形成する。その後、図9(c)に示すように、CMP工程により基板表面を平坦化する。

【0082】図9(d)に示すように、デジタル回路形成領域とアナログ回路形成領域に、少なくとも両ウェルの間隔を0.5  $\mu\text{m}$ 以上開けてnウェル150およびnウェル170を形成する。さらに、各ウェル中にpウェル160およびpウェル180を形成する。この後、ガードリング用に形成した溝121内の酸化層をエッチングにより除去し、この溝121の周囲のレジスト膜140を残したまま、あるいは新たに形成したレジスト膜をイオン注入マスクとして用いて、溝121底部に対し、例えばPイオンを40 keVの条件でイオン注入を行う。こうして、図9(e)に示すように、溝121の底部に、イオン注入層210を形成する。なお、アニール処理は、単独もしくはソース/ドレイン領域形成工程と一緒に行えばよい。

【0083】この後さらに、溝121内壁を覆うように例えばCoやWをスパッタ法等を用いて約15 nm形成し、さらに600℃~800℃でアニールを行い、Si基板と接する内壁部分をシリサイド化し、サリサイド層220を形成する。シリサイド化されていないメタルは、ウェットエッチングでエッチング除去する。このサリサイド層220は、シート抵抗8  $\Omega/\square$ 程度の低抵抗領域となる。なお、アニールによるシリサイドを省略して、溝121の内壁を金属層で覆うようにしてもよい。

【0084】このように、ガードリングの形成に際し、まず溝を形成し、溝121の底部に対しイオン注入する方法を用いれば、予め溝の深さを確保できるため、深いガードリングを比較的容易に形成できる。例えば、溝の深さが0.4  $\mu\text{m}$ の場合、イオン注入層そのものの深さは0.3  $\mu\text{m}$ に過ぎなくても、ガードリングとしては0.7  $\mu\text{m}$ の深いものとなる。

【0085】なお、上述するガードリングの構造および製造方法は、SOI基板に深いガードリングを作製する場合にもほぼそのまま応用できる。

【0086】以上、第1から第3の実施の形態に沿って、本発明の半導体装置について説明したが、本発明は上述する実施の形態に限定されるものではない。例えば、アナログ回路およびデジタル回路に形成される素子はCMOSトランジスタに限らない。バイポーラトランジスタやその他の種々のデバイスを形成してよい。また、上述した各半導体領域の導電型は、p型とn型で反転させた構造を用いてもよい。

【0087】

【発明の効果】上述するように、本発明の第1の特徴を有する半導体装置によれば、アナログ回路とデジタル回路が混載する半導体装置構造において、高抵抗の半導体

基板を用いることにより、従来のSOI基板を用いた場合とほぼ同等程度にデジタル回路で発生するノイズのアナログ回路への進入を阻止できる。よって、高価格のSOI基板を用いた従来の構造をより低価格な半導体基板を用いたものに置き換えることが可能になる。

【0088】さらに、第1の特徴を有する半導体装置構造において深いガードリングを備えることにより、より高い周波数に対してのアナログ回路へのノイズの進入を阻止することができる。なお、この深いガードリングの形成効果は、SOI基板に対しても同様に、高周波ノイズの進入阻止効果をもたらす。

【0089】また、本発明の半導体装置の製造方法によれば、深いガードリングの作製が比較的容易に可能となるため、プロセス上の負担をかけずにデジタル回路からアナログ回路へのノイズの進入阻止効果の高い半導体装置を提供できる。

【図面の簡単な説明】

【図1】第1の実施の形態にかかる半導体装置の構造を示す平面図および断面図である。

【図2】第1の実施の形態にかかる半導体装置の構造におけるアナログ回路への進入ノイズのレベルを従来構造と比較したグラフおよびアナログ回路形成領域とデジタル回路形成領域それぞれに形成するウェル間距離wと進入ノイズとの関係を示すグラフである。

【図3】第1の実施の形態に係る高抵抗半導体基板に形成されたインダクタ素子の周波数とQ値との関係を従来の半導体基板を使用した場合と比較したグラフである。

【図4】第1の実施の形態に係る高抵抗半導体基板に発生したスリップの例を示す平面図とこのスリップの発生を抑制するため、外周縁部に低抵抗領域を形成したウェハを示す平面図である。

【図5】第2の実施の形態にかかる各半導体装置の構造を示す平面図および断面図である。

【図6】第2の実施の形態にかかる半導体装置の構造におけるウェル底部からガードリング底部の距離tと進入ノイズとの関係を示すグラフである。

【図7】第1および第2の実施の形態にかかる半導体装置の構造を用いたCMOS回路の構成例を示す装置断面図である。

【図8】第3の実施の形態にかかる各種ガードリング構造を示す部分的装置断面図である。

【図9】第3の実施の形態にかかる埋め込み素子分離形成工程を利用したガードリングの製造方法を示す工程図である。

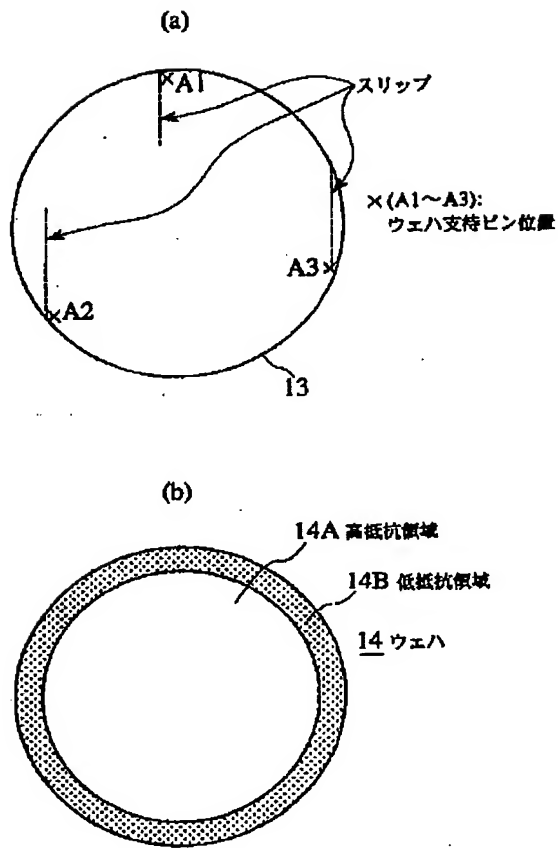
【図10】従来の半導体装置の各構造を示す装置断面図である。

【図11】従来の半導体装置の各構造に対する進入ノイズの大きさを示すグラフである。

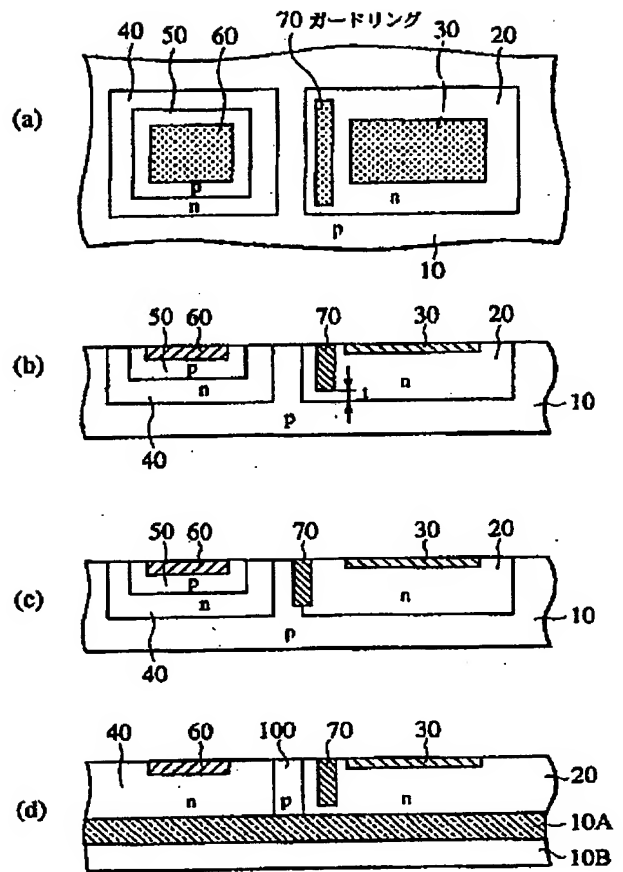
【符号の説明】

10、11、12 高抵抗基板

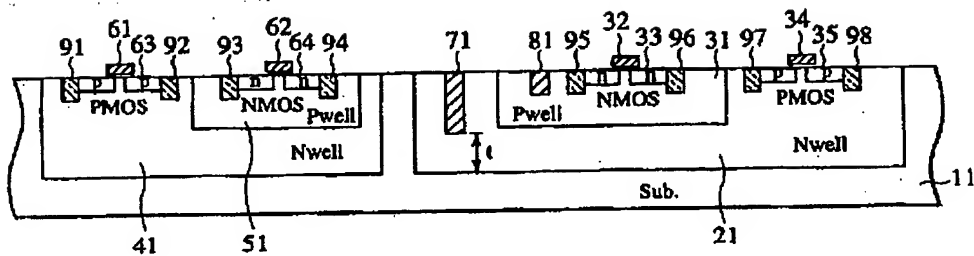
【図4】



【図5】



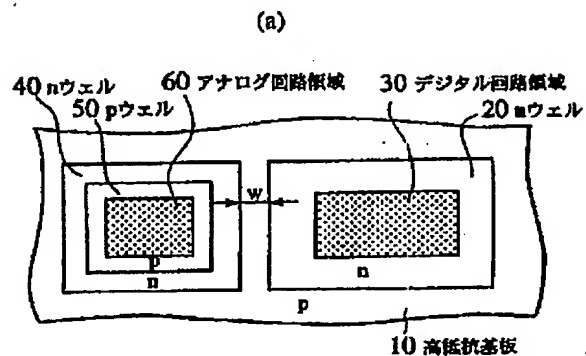
【図7】



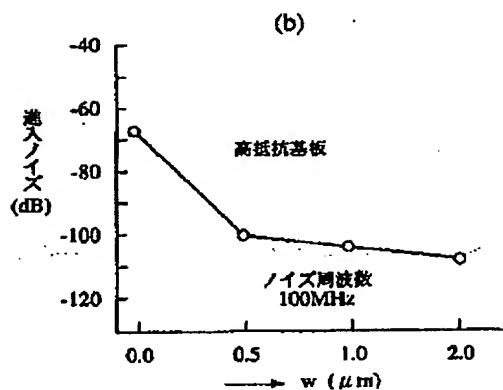
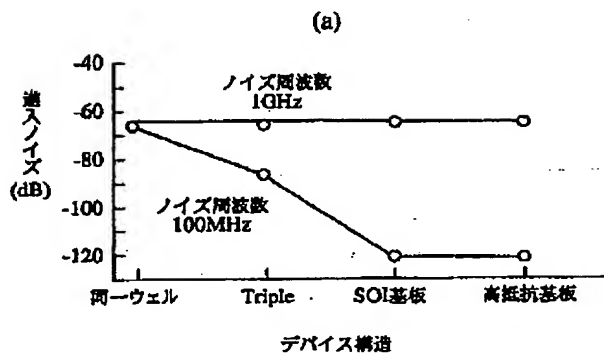
20、21、22、40、41、150、170 nウ  
エル  
30 デジタル回路領域  
31、50、51、160、180 pウェル  
60 アナログ回路領域  
70 ガードリング

72 イオン注入領域  
73 メタル  
74 酸化膜  
75 イオン注入領域  
76 シリサイド層

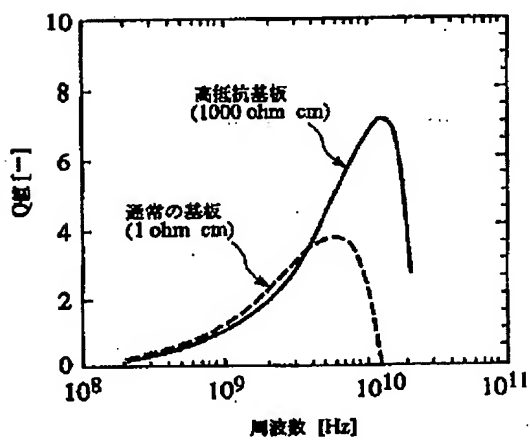
【図1】



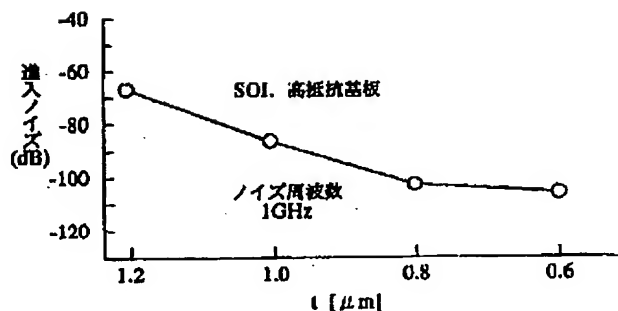
【図2】



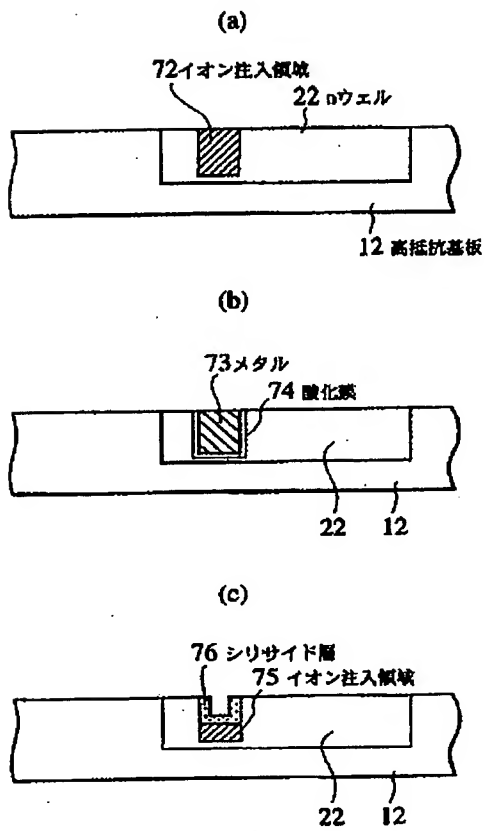
【図3】



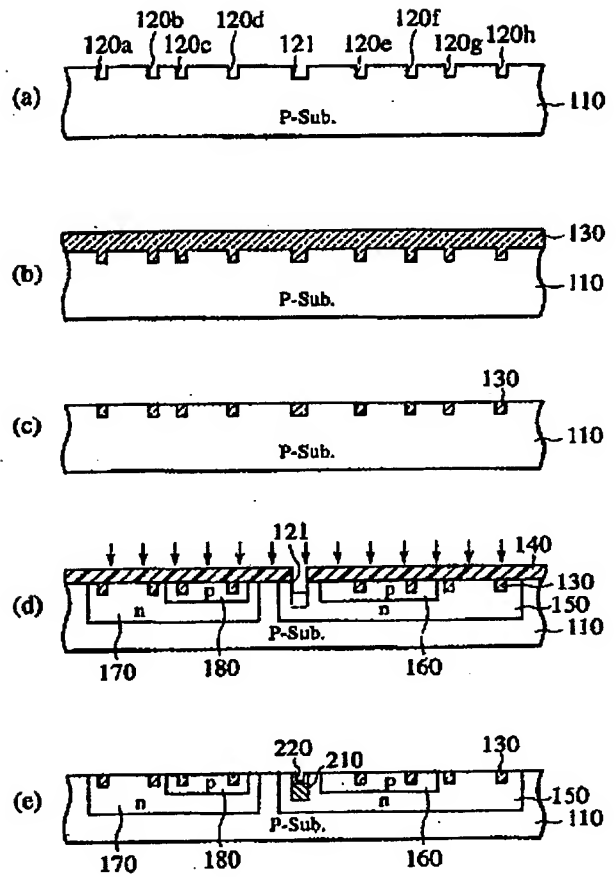
【図6】



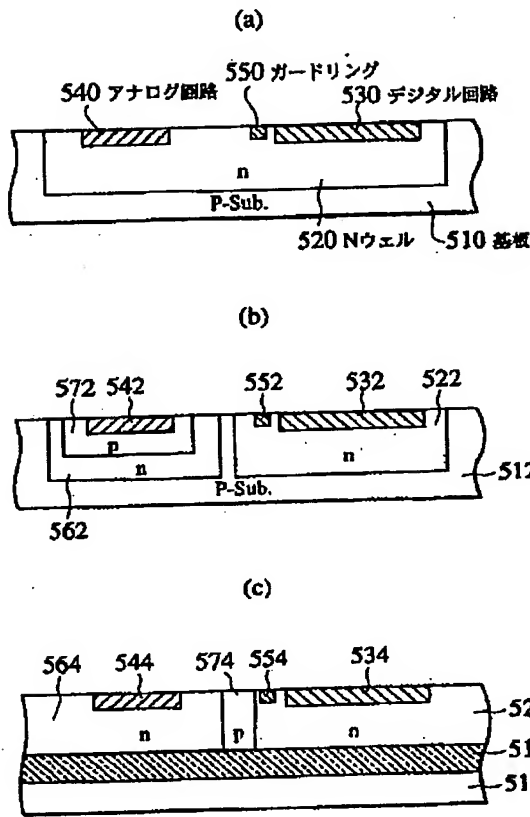
【図8】



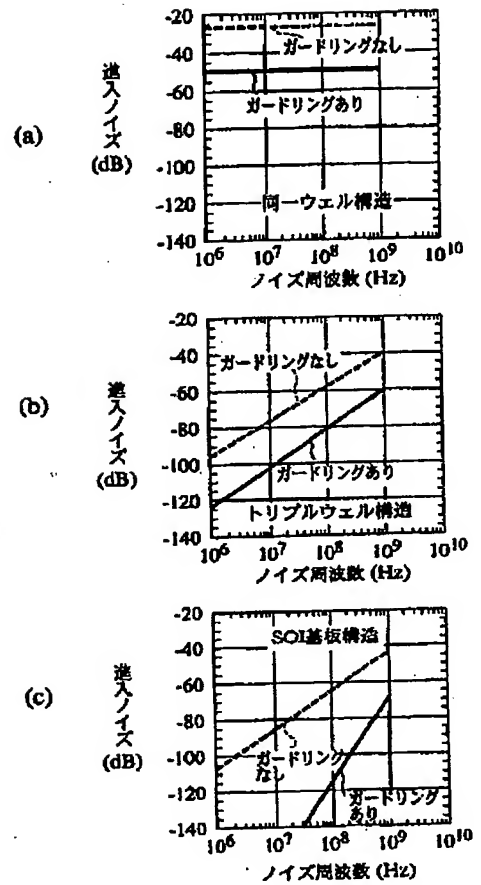
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H01L 21/8238  
27/092  
27/08

識別記号  
331

FI  
H01L 27/08  
27/08

テマコード (参考)

101D  
321B